

PCT/JP 03/10456

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

19.08.03

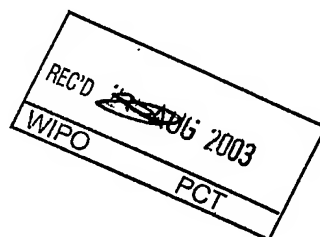
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年   8 月 2 0 日  
Date of Application:

出 願 番 号            特 願 2 0 0 2 - 2 3 8 7 0 3  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 2 3 8 7 0 3 ]

出   願   人            独 立 行 政 法 人 産 業 技 術 総 合 研 究 所  
Applicant(s):

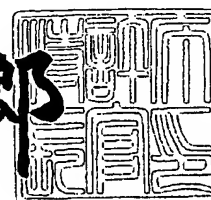


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 3 年   7 月 1 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号   出証特 2 0 0 3 - 3 0 5 6 1 7 3

特願 2002-238703

ページ: 1/E

【書類名】 特許願

【整理番号】 329-02259

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 酒井 滋樹

【特許出願人】

【識別番号】 301021533

【氏名又は名称】 独立行政法人産業技術総合研究所

【代表者】 吉川 弘之

【電話番号】 0298-61-3280

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

出証特 2003-3056173

【書類名】 明細書

【発明の名称】 半導体強誘電体記憶デバイスとその製造方法

【特許請求の範囲】

【請求項 1】 半導体の一つの面に絶縁体バッファ層の一つの面が接続し、該絶縁体バッファ層のもう一方の面に強誘電体の一つの面が接続し、該強誘電体のもう一方の面にゲート電極が接続し、該半導体がソース領域とドレイン領域を有するトランジスタ構造であって、該絶縁体バッファ層は、ハフニウムとアルミニウムを構成元素とする酸化物であることを特徴とする半導体強誘電体記憶デバイス。

【請求項 2】 半導体の一つの面に絶縁体バッファ層の一つの面が接続し、該絶縁体バッファ層のもう一方の面に強誘電体の一つの面が接続し、該強誘電体のもう一方の面にゲート電極が接続し、該半導体がソース領域とドレイン領域を有するトランジスタ構造であって、該絶縁体バッファ層は、ハフニウムを構成元素とする酸化物であることを特徴とする半導体強誘電体記憶デバイス。

【請求項 3】 半導体の一つの面に絶縁体バッファ層の一つの面が接続し、該絶縁体バッファ層のもう一方の面に強誘電体の一つの面が接続し、該強誘電体のもう一方の面にゲート電極が接続し、該半導体がソース領域とドレイン領域を有するトランジスタ構造であって、該絶縁体バッファ層は、ハフニウムとアルミニウムを構成元素とする酸化物である半導体強誘電体記憶デバイスの製造方法であって、半導体表面処理、絶縁体バッファ層形成、強誘電体形成、ゲート電極形成及び熱処理より成ることを特徴とする半導体強誘電体記憶デバイスの製造方法。

【請求項 4】 半導体の一つの面に絶縁体バッファ層の一つの面が接続し、該絶縁体バッファ層のもう一方の面に強誘電体の一つの面が接続し、該強誘電体のもう一方の面にゲート電極が接続し、該半導体がソース領域とドレイン領域を有するトランジスタ構造であって、該絶縁体バッファ層は、ハフニウムを構成元素とする酸化物である半導体強誘電体記憶デバイスの製造方法であって、半導体表面処理、絶縁体バッファ層形成、強誘電体形成、ゲート電極形成及び熱処理より成ることを特徴とする半導体強誘電体記憶デバイスの製造方法。

【請求項5】 上記絶縁体バッファ層形成法は、パルスレーザ堆積法であり、絶縁体バッファ層形成の際の導入ガスは、窒素と酸素のモル比が $1:1 \sim 1:10^{-7}$ の混合ガスであることを特徴とする請求項3又は4に記載の半導体強誘電体記憶デバイスの製造方法。

【請求項6】 薄膜形成のための真空容器に半導体Siを置き、該容器から該Siを出すことなく連続してパルスレーザ堆積法により上記絶縁体バッファ層及び上記強誘電体を形成することを特徴とする請求項3又は4に記載の半導体強誘電体記憶デバイスの製造方法。

【請求項7】 強誘電体形成の間に強誘電体形成のための真空容器の中、強誘電体形成後強誘電体形成のための真空容器の中、強誘電体形成後ゲート電極形成前にアニール炉の中又はゲート電極形成後アニール炉の中の何れかのタイミング及び環境において、少なくとも1回熱処理することを特徴とする請求項3又は4に記載の半導体強誘電体記憶デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、エレクトロニクス、半導体デバイスの分野においてデータを記憶するメモリデバイス及びその製造方法に属する。

【0002】

【従来の技術】

ゲート絶縁膜に強誘電体を用いたトランジスタは、データ記憶、データの読み出し、書き込みが単一のトランジスタで行われるため、次世代の高集積メモリとして期待されている。このトランジスタは、強誘電体の電気分極の向きに対応してトランジスタの電気伝導が制御される。実際には、半導体と強誘電体の両方の特徴を損なわないように、その間に絶縁体バッファ層を挿入した構造が研究されている。強誘電体に接する金属ゲート電極を含めて、MFIS(Metal-Ferroelectrics-Insulator-Semiconductor)トランジスタと呼ばれている。

【0003】

このMFISトランジスタは、原理的には(1)電気分極を利用しているため、電

源を切ってもデータが消失しない、(2) 読み出し動作はトランジスタのソースドレイン間の電気伝導を見るだけでよく、読み出し動作の後でもデータの内容は破壊されない、(3) データの読み出し、書き込み速度がDRAM程度に高速であるという特徴を持つことが期待されている。

#### 【0004】

##### 【発明が解決しようとする課題】

しかしながら、従来のMFISトランジスタは、データを書き込み後、長くても1日程度でメモリトランジスタ動作として見るとデータが消えてしまうと言う問題を抱えている。[参考文献、S. Migita et al., Integrated Ferroelectrics Vol. 40, pp135-143, 2001.] これは主として、バッファ層及び強誘電体のリーク電流が大きいため、強誘電体とバッファ層の界面付近に電荷が蓄積されこの電荷が強誘電体中の電気分極を遮蔽し、トランジスタのソースドレイン間の電気伝導が強誘電体の電気分極によって制御できなくなるためである。

また、強誘電体にデータを書き込むときにMFISに電圧を加える訳だが、バッファ層の比誘電率が小さいと電圧の大部分がバッファ層の方に加わるという問題もあった。

#### 【0005】

##### 【課題を解決するための手段】

本願発明においては、絶縁体バッファ層2を $\text{HfO}_{2+u}$ あるいは $\text{Hf}_{1-x}\text{Al}_x\text{O}_{2+x+y}$ で構成することにより、絶縁体バッファ層2と強誘電体3の両方のリーク電流を低く押さえることができ、データ保持時間が真に充分長いメモリトランジスタが実現する。

#### 【0006】

##### 【実施の態様】

図1は、本願発明に係る半導体強誘電体記憶デバイスの概観図である。本願発明に係るデバイスは、まず半導体1を用意する。ここで、半導体1は、シリコンであってもシリコンとゲルマニウムの混晶であっても、あるいはSiCであってもよく、その種類を限定しない。

#### 【0007】

半導体 1 の一つの面に絶縁体バッファ層 2 の面 2a を接続する。絶縁体バッファ層 2 としてハフニウムを構成元素とする酸化物  $\text{HfO}_{2+u}$  あるいはハフニウムとアルミニウムを構成元素とする酸化物  $\text{Hf}_{1-x}\text{Al}_x\text{O}_{2+x+y}$  を形成する。 $x$  の範囲は、熱的安定性、化学的安定性の強化のために、また大きい比誘電率を持つために、 $0 < x < 0.7$  であると特によい。 $y$  の範囲は、良好な絶縁性を示す点で  $-0.2 < y < 0.2$  であると特によい。また、 $u$  の範囲も良好な絶縁性を示す点で  $-0.2 < u < 0.2$  であると特によい。 $\text{HfO}_{2+u}$  と  $\text{Hf}_{1-x}\text{Al}_x\text{O}_{2+x+y}$  の厚さ  $t$  は、データ書き込みすなわち電気分極状態の決定のための印加電圧の絶対値を小さくするために、 $4 \text{ nm} < t < 40 \text{ nm}$  の範囲にあると特によい。

#### 【0008】

絶縁体バッファ層 2 のもう一方の面 2b に強誘電体 3 の面 3a を接続する。強誘電体の種類を限定するものではないが、代表的なものとして、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{Bi}_{4-z}\text{La}_z\text{Ti}_3\text{O}_{12}$ 、 $\text{PbZr}_{1-z}\text{Ti}_z\text{O}_3$ 、 $\text{YMnO}_3$  がある。強誘電体の厚さ  $d$  は、データ書き込みすなわち電気分極状態の決定のための印加電圧の絶対値を小さくするために、 $20 \text{ nm} < d < 600 \text{ nm}$  の範囲にあると特によい。

#### 【0009】

強誘電体 3 のもう一方の面 3b にゲート電極 4 を接続する。ゲート電極 4 は、導電性のよい材料であれば Au や Pt ような金属でも、TiN や TaN のような窒化物でも  $\text{IrO}_2$  や  $\text{RuO}_2$  のような酸化物でも何でもよい。

#### 【0010】

半導体 1 は、ソース領域 5 とドレイン領域 6 を持つ。ソース領域 5 とドレイン領域 6 が n 型であれば、ソース領域 5 とドレイン領域 6 を除く領域 7 は p 型となる。半導体 1 の中のソース領域 5 とドレイン領域 6 が n 型であれば、ソース領域 5 とドレイン領域 6 を除く領域 7 は p 型となる。

#### 【0011】

##### 【作用】

データを記憶する源は、強誘電体 3 の電気分極であり、強誘電性を発現するためには、薄膜形成時もしくはその後の熱処理工程で温度を上げて強誘電体 3 を結晶の状態にする必要がある。この結晶化温度は、通常  $650^\circ\text{C} \sim 950^\circ\text{C}$  である。一般

に、この温度が高い方が結晶性がよく、強誘電性もよい。結晶化工程の時間は、典型的には1時間である。シリコン中のソース領域とドレイン領域を形成するためには、不純物の活性化のため低くても1050℃程度の短時間（典型的には30秒）の熱処理が必要である。絶縁体バッファ層2は、この強誘電体3の結晶化のための高温工程を必ず経ることになる。標準的な作製プロセスではソース領域とドレイン領域を形成するための熱処理工程も経ることになる。従って、従来は、絶縁体バッファ層2も熱処理工程で結晶化してしまい、結晶粒と結晶粒の間の粒界を通してリーク電流が流れた。この実施例の $\text{HfO}_{2+u}$ あるいは $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ では、上記強誘電体結晶化の熱工程でも上記不純物活性化の熱工程でも絶縁体バッファ層2は、結晶化せず、アモルファスの状態を維持している。従って、絶縁体バッファ層2のリーク電流を低く押さえることができる。アモルファスの状態の絶縁体バッファ層2の表面は、結晶化したそれに比較して平坦である。アモルファスの状態の絶縁体バッファ層2の表面からは強誘電体3の結晶成長のための種結晶ができ難く、強誘電体3の結晶粒が小さく、薄膜は緻密になり、強誘電体3のリーク電流も低く押さえることができる。一方、絶縁体バッファ層2が結晶化してしまうと結晶粒と粒界により表面の凹凸が増す。この結晶粒には強誘電体3の種結晶ができやすく強誘電体3の結晶粒が大きくなり強誘電体3のリーク電流も大きくなる。このように $\text{HfO}_{2+u}$  あるいは $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$  で絶縁体バッファ層2を構成すると、絶縁体バッファ層2と強誘電体3の両方のリーク電流を低く押さえることができ、データ保持時間が真に充分長いメモリトランジスタが実現する。 $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$  は、熱処理工程に対してアモルファス状態を維持する温度が $\text{HfO}_{2+u}$  よりさらに高まるので、結晶化温度の高い強誘電体を強誘電体3に用いるときに特によい。

#### 【0012】

##### 【製造方法】

次に製造方法について述べる。言うまでもなく、本発明の製造方法は以下の方法に限定されるものではない。

絶縁体バッファ層2の形成法は、薄膜の形成法であれば何でもよく物理的气相成長法では、パルスレーザ堆積法、スパッタリング法、蒸着法などが有効であり

、化学成長法ではMOCVD法、MOD法、ゾルゲル法などがある。

強誘電体3およびゲート電極4形成法も、薄膜の形成法であれば何でもよく物理的气相成長法で、パルスレーザ堆積法、スパッタリング法、蒸着法などが有効であり、化学成長法は、MOCVD法、MOD法、ゾルゲル法などがある。

#### 【0013】

ここで、半導体1としてSiを用い、絶縁体バッファ層2と強誘電体3の形成法としてパルスレーザ堆積法を用いた製造方法の例を述べる。

#### 【0014】

##### 1. Si表面処理

標準的な表面洗浄法でSi表面を洗浄後、希フッ酸あるいは緩衝フッ酸で表面の残留酸化層を除去する。さらに、故意に1分子層程度の酸化膜、窒化膜、酸窒化膜の形成等の表面処理をしてもよい。

#### 【0015】

##### 2. 絶縁体バッファ層2の形成

パルスレーザ堆積法で形成する。SiO<sub>2</sub>のような小さい誘電率を持つ酸化層の形成を抑えるために形成中Siの温度は低温(室温～550℃)の条件化におく。絶縁体バッファ層2がハフニウムとアルミニウムを構成元素とする酸化物である場合は、ターゲット組成は、 $\text{Hf}_{1-x}\text{Al}_x\text{O}_{2+x+y}$  とする。絶縁体バッファ層2がハフニウムを構成元素とする酸化物である場合は、ターゲット組成は、 $\text{HfO}_{2+u}$  とする。絶縁体バッファ層2は、酸化物であるので、形成中、酸素ガスを導入する。Siと絶縁体バッファ層2の界面への低誘電率酸化層の形成を抑制するため酸素ガスに窒素ガスを混合すると特によい。窒素は、絶縁体バッファ層2の中の構造欠陥を低減させ、リーク電流を小さくすることにも役立つ。酸素と窒素の混合ガスを用いる場合、混合モル比は、N:O= 1:1～1:10<sup>-7</sup>である。

#### 【0016】

##### 3. 強誘電体3の形成

パルスレーザ堆積法で形成する。上記絶縁体バッファ層2の形成と同じ薄膜形成のための真空容器に半導体1であるSiにおいて容器からSiを出すことなく連続してパルスレーザ堆積法で絶縁体バッファ層2と強誘電体3を形成すると、絶縁



体バッファ層 2 と強誘電体 3 の界面が清浄に保たれ電気特性も優れるので特によい。強誘電体 3 形成中は、酸素ガスを導入する。

#### 【0017】

#### 4. ゲート電極の形成

Pt を例に挙げると、電子ビーム加熱の蒸着法あるいはスパッタリング法、パルスレーザ堆積法で Pt ゲート電極を形成する。

#### 【0018】

#### 5. 熱処理工程

強誘電体 3 の結晶化のための熱処理を行う。熱処理のタイミングは、以下の 4 種のケースがあるが、これらの内少なくとも 1 つのケースを実行する。

(1) 上記工程 3 の薄膜形成中の熱処理。(2) 工程 3 の薄膜形成後に薄膜形成のための真空容器内での熱処理。(3) 工程 3 の薄膜形成後工程 4 の前にアニール炉での熱処理。(4) 工程 4 の後にアニール炉での熱処理。

強誘電体 3 が  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  である場合、結晶化のための熱処理温度は  $650 \sim 900^\circ\text{C}$  である。

#### 【0019】

#### 【第 1 実施例】

用いた材料と厚さは、以下の通りである。

半導体 1 : Si

絶縁体バッファ層 2 :  $\text{Hf}_{1-x}\text{Al}_2\text{O}_{2+x+y}$ 、 $x=0.75$ 、 $y=0$ 、厚さ 10nm

強誘電体 3 :  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、厚さ 400nm

ゲート電極 4 : Pt、厚さ 200nm、ゲート長（ソース領域からドレイン領域に向かつての長さ）10  $\mu\text{m}$

ソース領域 5 及びドレイン領域 6 の導電の型 : n 型

領域 7 の導電の型 : p 型

絶縁体バッファ層 2 である  $\text{Hf}_{1-x}\text{Al}_2\text{O}_{2+x+y}$  ( $x=0.75$ 、 $y=0$ ) は、パルスレーザ堆積法で形成した。用いたレーザは KrF エキシマーレーザである。レーザエネルギーは、1 パルス当たり 250mJ、パルスの繰り返し周波数 2Hz、堆積時間 270 秒である。基板温度  $200^\circ\text{C}$  である。導入ガスは、窒素と酸素の混合ガスであり、その

モル比は、 $N:O=1:10^{-6}$ である。この導入ガスによる堆積室の圧力は、0.1Torrである。強誘電体3に相当する $SrBi_2Ta_2O_9$ も同じくパルスレーザ堆積法で形成した。レーザの種類とエネルギーは、上記絶縁体バッファ層2の場合と同じである。パルスの繰り返し周波数5Hz、堆積時間34分である。基板温度400℃である。導入ガスは、酸素である。この導入ガスによる堆積室の圧力は、0.1Torrである。ゲート電極4としてPtを電子ビーム蒸着法で形成した。ゲート電極形成後 $SrBi_2Ta_2O_9$ を結晶化させるため、大気圧酸素中800℃で1時間熱処理した。半導体デバイス作製工程で用いるフォトリソグラフィ、イオンビームエッチング技術等を用いてトランジスタを作製した。

#### 【0020】

次に、上記第1実施例により作成したトランジスタの特性を示す。図2は、ゲート電極4にゲート電圧 $V_G$ を加えたときのドレイン電流 $I_D$ の結果を示す。ゲート電圧を6Vから-6Vへ連続的に変化させ、その後-6Vから6Vへ変化させた。ドレイン電流は、強誘電体特有の性質によって図2のように変化した。ゲート電圧の掃引に対して矢印に示すようにドレイン電流は変化した。図2中の2点で代表されるように記憶した電気分極の向きに応じてトランジスタは、オン状態とオフ状態の2状態を取ることができる。この2点にゲート電圧を固定し、ドレイン電流のオン状態とオフ状態を各々長期間測定した結果が、図3である。この図3から分かるように、両状態が極めて安定に持続していることが分かる。

#### 【0021】

##### 【第2実施例】

用いた材料と厚さは、以下の通りである。

半導体1: Si

絶縁体バッファ層2:  $HfO_{2+u}$ 、 $u=0$ 、厚さ10nm

強誘電体3:  $SrBi_2Ta_2O_9$ 、厚さ400nm

ゲート電極4: Pt、厚さ200nm、ゲート長（ソース領域からドレイン領域に向かった長さ）10 $\mu$ m

ソース領域5及びドレイン領域6の導電の型: n型

領域7の導電の型: p型

## 【0022】

絶縁体バッファ層 2 である  $\text{HfO}_{2+u}$  ( $u=0$ ) は、パルスレーザ堆積法で形成した。用いたレーザは KrF エキシマーレーザである。レーザエネルギーは、1 パルス当たり 250mJ、パルスの繰り返し周波数 2Hz、堆積時間 270 秒である。基板温度 200℃ である。導入ガスは、窒素と酸素の混合ガスであり、そのモル比は、 $\text{N}:\text{O}=1:10^{-6}$  である。この導入ガスによる堆積室の圧力は、0.1Torr である。強誘電体 3 に相当する  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  も同じくパルスレーザ堆積法により形成した。レーザの種類とエネルギーは、上記絶縁体バッファ層 2 の場合と同じである。パルスの繰り返し周波数 5Hz、堆積時間 34 分である。基板温度 400℃ である。導入ガスは酸素である。この導入ガスによる堆積室の圧力は、0.1Torr である。ゲート電極 4 として Pt を電子ビーム蒸着法で形成した。ゲート電極形成後、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$  を結晶化させるため、大気圧酸素中 800℃ において 1 時間熱処理した。

## 【0023】

次に、上記第 2 実施例におけるトランジスタの実験結果を示す。図 4 は、ゲート電極 4 にゲート電圧  $V_G$  を加えたときのドレイン電流  $I_D$  の結果を示す。ゲート電圧を 8V から -8V へ連続的に変化させ、その後 -8V から 8V へ変化させた。ドレイン電流は強誘電体特有の性質によって図のように変化した。ゲート電圧の掃引に対して矢印に示すようにドレイン電流は変化した。図中の 2 点で代表されるように記憶した電気分極の向きに応じてトランジスタはオン状態とオフ状態の 2 状態を取ることができる。この 2 点にゲート電圧を固定し、ドレイン電流のオン状態とオフ状態を各々長期間測定した結果が、図 5 である。この図から分かるように両状態が極めて安定に持続していることが分かる。

## 【0024】

## 【発明の効果】

本願発明によれば、データの書き込みと読み出しを 1 個のトランジスタサイズにより実現することができ、しかも書き込んだデータは、消失せず、読み出すことができる。また、読み出し後も、データの内容は、破壊されない。本願発明に係るデバイスは、広範囲の用途の半導体メモリ、さらには半導体論理回路中の安定な一時記憶デバイス等、多様な回路の中で用いることができる。

【図面の簡単な説明】

【図 1】

本願発明に係るトランジスタの概観説明図。

【図 2】

第 1 実施例のゲート電圧とドレイン電流の関係図

【図 3】

第 1 実施例によるトランジスタにおけるドレイン電流の経時変化図

【図 4】

第 2 実施例のゲート電圧とドレイン電流の関係図

【図 5】

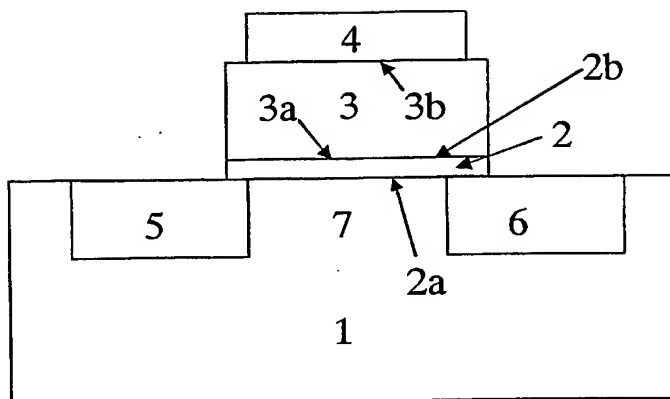
第 2 実施例によるトランジスタにおけるドレイン電流の経時変化図

【符号の説明】

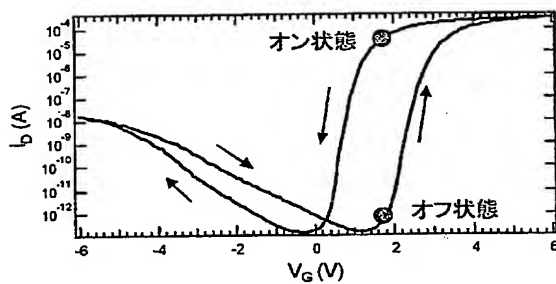
- 1 半導体
- 2 絶縁体バッファ層
- 3 強誘電体
- 4 ゲート電極
- 5 半導体中のソース領域
- 6 半導体中のドレイン領域
- 7 半導体中のソース領域とドレイン領域を除く領域

【書類名】 図面

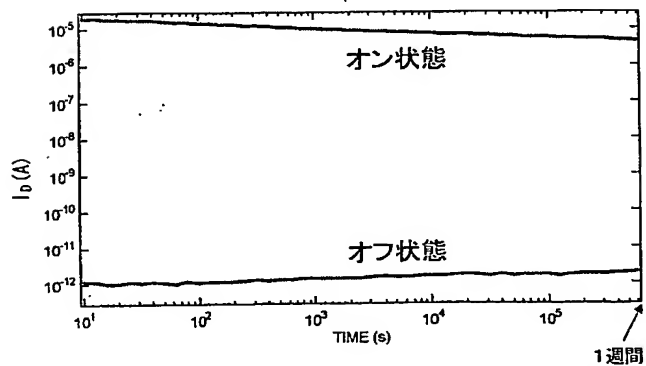
【図1】



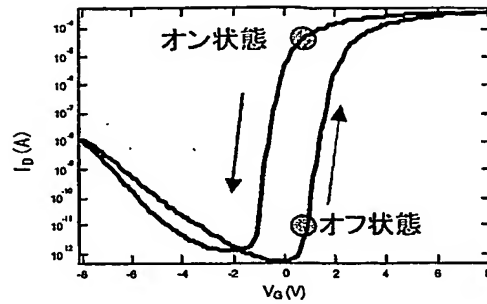
【図2】



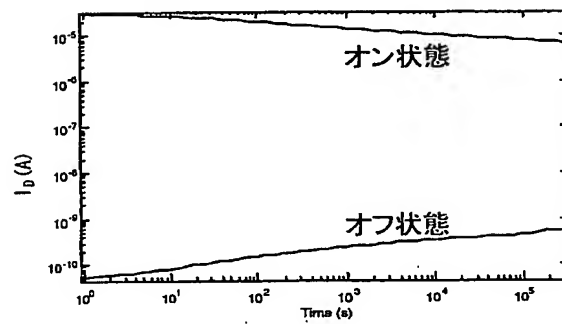
【図3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 従来のMFISトランジスタは、データを書き込み後、長くても1日程度でメモリトランジスタ動作としてデータが消えてしまうという問題を抱えている。これは主として、バッファ層及び強誘電体のリーク電流が大きいため、強誘電体が記憶した電気分極を遮蔽するように強誘電体とバッファ層の界面付近に電荷が蓄積されトランジスタのソースドレイン間の電気伝導を強誘電体の電気分極が制御できなくなるためである。

【解決手段】 本願発明においては、絶縁体バッファ層2を $\text{HfO}_{2+u}$ あるいは $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ で構成することにより、絶縁体バッファ層2と強誘電体3の両方のリーク電流を低く押さえることができ、データ保持時間が真に充分長いメモリトランジスタが実現する。

【選択図】 図3

特願2002-238703

ページ: 1/E

認定・付加情報

特許出願の番号	特願2002-238703
受付番号	50201224620
書類名	特許願
担当官	第四担当上席 0093
作成日	平成14年 8月21日

<認定情報・付加情報>

【提出日】 平成14年 8月20日

次頁無

出証特2003-3056173



特願 2002-238703

出願人履歴情報

識別番号

[301021533]

1. 変更年月日  
[変更理由]

2001年 4月 2日

新規登録

住 所  
氏 名

東京都千代田区霞が関1-3-1  
独立行政法人産業技術総合研究所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**